

目次

1 適用範囲	1	3.4	検査およびリワーク	11
1.1 目的	1	3.4.1	QFN(Quad Flat No-Lead) のはんだ接合部の検査	11
1.2 クラスの分類	1	3.4.2	自動 X 線検査 (AXI)	11
1.3 計測単位	1	3.4.3	故障解析	12
1.4 要求事項の定義	1	3.4.4	リワークに関する懸念事項	12
1.5 工程管理の要求事項	2	3.5	ニーズおよび期待	12
1.6 優先順位	2			
1.6.1 条項参照	2	4 部品に関する考慮事項		14
1.7 「リード」という表記の使用	2	4.1	さまざまな BTC パッケージに関する概要	14
1.8 略語および頭字語	2	4.2	BTC に関する詳細な説明と規格	16
1.9 用語および定義	2	4.2.1	Single-Row Molded Lead-Frame-Based Packaging	16
1.9.1 下面電極部品 (BTC)	2	4.2.2	Multiple-Row Molded Lead-Frame-Based Packaging	16
1.9.2 ウェットابلサイドフラング	2	4.2.3	Plastic-Quad, Dual-Inline, Square and Rectangular No-Lead Packages	16
1.9.3 露出ダイパドル	2	4.2.4	Punch-Singulated Fine Pitch Square Very Thin and Ultra-Thin Profile Lead-Frame-Based Quad No-Lead Staggered Dual-Row Packages	20
1.9.4 サーマルパッド	2	4.2.5	千鳥配列端子およびインライン複数列端子を持 つ QFN(Quad No-Lead) パッケージ	23
1.9.5 サーマルビア	2	4.3	QFN(Quad Flat No-Lead) および SON (Small Outline No-Lead)/DFN(Dual Flat No-Lead) パッケージに関する詳細説明	26
2 関連文書	2	4.3.1	製造方法	26
2.1 IPC	2	4.3.2	欠陥の種類	30
2.2 Joint Standards	3	4.3.3	マーキング手法の選択肢	32
2.3 ASME	4	4.3.4	使用材料	32
2.4 IEC	4	4.3.5	はんだ付性試験	32
2.5 JEDEC	4	4.4	カスタム製の QFN(Quad Flat No-Lead) および SON (Small Outline No-Lead) / DFN(Dual Flat No-Lead) パッケージング	33
3 BTC の一般概要	5	4.5	市販のバリエーションの概要	33
3.1 BTC のタイプ	5	4.5.1	MLF(Micro Lead Frame)、MLP(Micro Lead Package) および MLFP(and Micro Lead Frame Plastic) 部品に関 する詳細説明	33
3.1.1 サーマルダイパドル付き BTC	5	4.5.2	LLP(Leadless Lead Frame Package) および LFCSP (Lead Frame Chip Scale Package) 部品に関する 詳細説明	36
3.1.2 サーマルダイパドルなしの BTC	5	4.6	LGA(Land Grid Arrays)	38
3.1.3 FC-QFN (Flip Chip QFN)	5	4.6.1	LGA(Land Grid Array) の構造	39
3.1.4 LGA(Land Grid Array)	5	4.6.2	サブストレートベースによる LGA の製造方法	41
3.1.5 BTC のその他の識別名称	5	4.6.3	欠陥の種類	42
3.1.6 BTC デバイス製造者による頭字語	6	4.6.4	LAG(Land Grid Array) パッケージを実装する場合の 組立の課題	42
3.1.7 さまざまな部品構造に関する説明	6	4.6.5	HDI(High Density Interconnect) プロセス	42
3.2 総所有コスト	8			
3.3 QFN タイプの BTC パッケージに関する、設計および 組立プロセスの懸念事項	9			
3.3.1 通電の要求事項および熱放散	9			
3.3.2 電気的性能	10			
3.3.3 ソルダペーストのタイプ、ステンシル設計、ソルダペ ースト印刷の選択	10			
3.3.4 サーマルパッドが単一の場合の設計	10			
3.3.5 サーマルパッドが複数 (マルチサーマルパッド) の 場合の設計	10			
3.3.6 ウェットابلサイドフラング	10			

5 プリント基板およびその他の取付け構造	44	6.12	洗浄性を考慮した設計における考慮事項	79
5.1 高密度相互接続 (HDI) のビルドアップ層	44	6.13	ステンシル設計の考慮事項	81
5.2 基材に関する考慮事項	44	6.13.1	サーマルパッドステンシルの設計	81
5.3 水分の吸収	44	6.13.2	外周 I/O のステンシル設計	85
5.4 表面仕上げ	44	6.14	ステンシルアパーチャの減少	85
5.4.1 ホットエアソルダレベリング (HASL)	46	6.15	BTC を利用して設計する際の重要な考慮事項	86
5.4.2 水溶性プリフラックス (OSP) コーティング	46	6.15.1	I/O 端子におけるギャングによるソルダマスク開口部	86
5.4.3 無電解 Ni/ 置換 Au (ENIG)	46	6.15.2	ミラーリング配置による QFN(Mirrored Quad Flat No-Leads) 構造	86
5.4.4 電解 Ni/ 電気 Au めっき (ENEG)	46	6.16	ランダムなビアの配置	86
5.4.5 無電解 Ni/ 無電解 Pd/ 置換 Au (ENEPIG)	47			
5.4.6 置換 Ag	47	7 プリント基板上における BTC の組立		86
5.4.7 置換 Sn	47	7.1	BTC 部品に関する考慮事項	86
5.4.8 SSD (solid solder deposition: 固体はんだの供給)	47	7.1.1	部品受入れ時の梱包形式	87
5.5 シルクスクリーン	49	7.1.2	BTC の感温性	88
5.6 サイトの平坦度、反りとねじれ	50	7.1.3	BTC の感湿性に関する考慮事項	88
		7.1.4	BTC の電極端子の仕上げとはんだ付性	88
6 プリント基板の設計に関する考慮事項	50	7.2	プリント基板に関する考慮事項	89
6.1 実装性を考慮した設計における考慮事項	50	7.2.1	はんだ接合部のフレット形成におけるプリント基板 設計の影響	89
6.2 BTC のランドパターン設計のプロセス	50	7.2.2	組立によって誘発される反り	90
6.3 パッケージのバリエーション	51	7.3	組立材料	90
6.4 BTC ランドパターンと部品の照合文字コーディング	52	7.3.1	はんだ合金の取付け方法	90
6.5 回路ルーティングの考慮事項 / サーマルビアの 禁止領域	53	7.3.2	ソルダペースト	90
6.6 物理的設計のための重要な BTC パッケージ要素	53	7.3.3	はんだプリフォーム	90
6.6.1 終端部 (電極端子) の形式	53	7.3.4	はんだ合金	90
6.7 BTC のランドパターンおよび部品に関する照合 文字コーディング	53	7.3.5	フラックスの化学配合 (組成) に関する考慮事項	91
6.8 ソルダマスクの設計	54	7.3.6	エッジ部 / コーナー部のボンディング材料、アンダ ーフィル剤、接着剤	91
6.8.1 オーバーレジストビア	54	7.4	BTC の洗浄プロセス	91
6.8.2 I/O Cu パッドのソルダマスク設計	54	7.5	はんだの印刷と堆積	92
6.8.3 サーマルパッドのソルダマスクの設計	56	7.5.1	はんだステンシル印刷に関する考慮事項	92
6.8.4 外周 I/O の Cu パッドの設計	57	7.5.2	ジェットイング (ジェット式) とディスペンス	93
6.9 HDI に関する考慮事項	58	7.5.3	BTC 部品のはんだディッピング	94
6.10 Cu サーマルパッドの設計	59	7.6	ソルダペーストの検査	94
6.10.1 サーマルビアのタイプ	59	7.7	部品の装着	95
6.10.2 サーマルパッド設計における主要要素	60	7.8	はんだ接合部のリフロー	95
6.10.3 サーマルパッドビアの数量と配置	62	7.8.1	リフロー雰囲気	96
6.10.4 サーマルビアの標準グリッド	62	7.8.2	時間と温度のプロファイル	96
6.10.5 不適切なビア数	64	7.8.3	各プリント基板組立の固有のプロファイル	97
6.11 サーマルパッドの設計オプション	64	7.8.4	フラックスの活性化における材料の影響、部品の 損傷およびはんだ付性	97
6.11.1 SMD(Solder Mask Defined) 方式によるサーマルパッド の設計	66	7.9	BTC の熱プロファイリング	98
6.11.2 オープン Cu によるサーマルパッド設計	69	7.10	BTC の工程管理およびモニタリングポイント	99
6.11.3 ビアテンディングによるサーマルパッドの設計	73	7.11	生産レベルの検査	99
6.11.4 オーバーレジストビアによるサーマルパッド設計	74	7.11.1	自動ソルダペースト検査 (SPI)	99
6.11.5 VIPPO(Via-in-Pad Plated-Over) によるサーマルパ ッド設計	74	7.11.2	自動光学検査 (AOI)	100
6.11.6 フローティングマスクによるサーマルパッドの設計	77	7.11.3	自動 X 線検査 (AXI)	102

7.11.4	オペレータによる目視検査	103	附属書 A 索引：頭字語および略語	118
7.12	リワークとリペア	103		
7.12.1	ホットエアリワーク	104		
7.12.2	代替方法	104		
7.12.3	I/Oリードの手はんだによるタッチアップ	105		
7.13	BTCのコンフォーマルコーティング	105		
7.14	機械的ヒートシンクの利用	105		
7.15	製造レベルでの試験	106		
7.15.1	電気試験	106		
7.15.2	FT(機能試験)の範囲	106		
7.15.3	バーンイン試験	106		
7.15.4	製品スクリーニング試験	106		
8	BTCの信頼性に関する考慮事項	106		
8.1	BTCの信頼性に関する概要および基本的な考え方	106		
8.1.1	機械的信頼性	107		
8.1.2	熱機械的信頼性	107		
8.1.3	電気化学的信頼性	107		
8.2	BTCの信頼性を考慮した設計 - 熱機械的負荷	108		
8.2.1	プリント基板設計の考慮事項	108		
8.2.2	プリント基板の厚さ	108		
8.2.3	ウェットダブルサイドフランクの信頼性における影響	108		
8.2.4	ランドのサイズとピッチ	109		
8.2.5	BTCパッケージのスタンドオフ	109		
8.2.6	補強による利点	110		
8.2.7	モールドコンパウンドの材料	110		
8.2.8	ダイサイズ	110		
8.2.9	はんだ接合部の微細構造の脆化	110		
8.3	BTCの信頼性を考慮した設計 - 電気的および熱的な負荷	110		
8.3.1	サーマルパッド内のボイド	110		
8.4	信頼性試験	111		
8.4.1	内視鏡検査による、組立品のタイムゼロ分析	111		
8.4.2	熱機械的信頼性加速寿命試験	112		
8.4.3	恒温恒湿下での信頼性加速寿命試験	113		
9	トラブルシューティング	113		
9.1	組立および製造に関する問題	113		
9.1.1	プリント基板供給者によるソルダマスクの変更	113		
9.1.2	SMTステンシルの変更	114		
9.1.3	SMTステンシル印刷の代替方法	114		
9.1.4	サーマルパッドのボイド発生	114		
9.1.5	I/Oパッドのボイド発生	114		
9.1.6	I/Oのオープンとブリッジ	114		
9.2	BTC組立のトラブルシューティング	115		
9.2.1	BTCのオープンジョイント	115		
9.2.2	はんだ接合部の故障	115		
図 1-1	さまざまな形状の BTC	1		
図 3-1	不規則なはんだ電極部を示す FC-QFN (Flip Chip QFN)	5		
図 3-2	サーマルパッドのない BTC パッケージ (上面図および下面図)	6		
図 3-3	シングル (単一の) サーマルパッドで構成された QFN デバイスの例 (上面図および下面図)	7		
図 3-4	マルチ (複数の) サーマルパッドで構成された設計の例	7		
図 3-5	ダイシングで個片化した BTC パッケージ	8		
図 3-6	パッケージ厚さの比較	8		
図 3-7	ビアを配置した単一のサーマルパッドの場合の、プリント基板のランドパターン	10		
図 3-8	サーマルパッドが複数 (マルチサーマルパッド) の場合の、プリント基板のランドパターン	11		
図 3-9	標準的な BTC の電極端子とウェットダブルサイドフランクを有する BTC の電極端子の比較	11		
図 3-10	ステップカットを施した QFN(Quad Flat No-Lead) パッケージの組立プロセス	12		
図 3-11	Sn めっきされたステップカットを持つ、QFN (Quad Flat No-Lead) リードフレーム	12		
図 3-12	コンタクトの下面にエッチングされた凹状のくぼみ	13		
図 3-13	ウェットダブルフランクの電極端子部の断面：機械的プレカットプロセス (左) とディンプル形成によるケミカルエッチングプロセス (右)	13		
図 3-14	一般的なピンの改造例の顕微鏡画像	13		
図 3-15	DFN パッケージの透視図	14		
図 3-16	DFN パッケージのサイドウェットダブルフランクの詳細図	14		
図 4-1	BTC 部品のさまざまな形状	15		
図 4-2	個片化した LGA(Land Grid Array) (デバイスの下面)	15		
図 4-3	Basic Single-Row Lead-Frame-Based Small Outline No-Lead (SON)-Quad Flat No-Lead (QFN) Package Assembly Model	16		
図 4-4	Basic Multiple-Row Quad Flat No-Lead (QFN) Package Assembly Model	16		
図 4-5	単列の SON(Small Outline No-Lead) および QFN (Quad Flat No-Lead) Packaging の端子構成	16		
図 4-6	JEDEC 定義によるパッケージングの外形：単列の SON(Small Outline No-Lead) と QFN (Quad-Flat No-Lead) Packaging	17		
図 4-7	単列の SON(Single-Row Small Outline No-Lead) および QFN(Quad Flat No-Lead) Packaging における、端子設計のバリエーション	18		

図 4-8	端子コンタクトのレイアウト	19	図 4-38	LFCSP(Lead Frame Chip Scale Package)	36
図 4-9	単列の QFN(Quad Flat No-Lead) パッケージに 関する非実装スキーム	19	図 4-39	LLP(Leadless Lead Frame Package)	36
図 4-10	コーナー部の端子と露出したヒートスプレッド	19	図 4-40	一般的な LLP(Leadless Lead Frame Package) お よび LFCSP(Lead Frame Chip Scale Package) の外形 の詳細	37
図 4-11	メタライズ電極	20	図 4-41	LGA(Land Grid Array) パッケージの例	38
図 4-12	Fine-Pitch Two-Row Quad Flat No-Lead (QFN) Packaging	20	図 4-42	エアキャビティおよびモールド成形 (オーバーモ ールド) による LGA(Land Grid Array) の構造	39
図 4-13	Quad Flat No-Lead (QFN) Dual-Row Package (上面図および側面図)	21	図 4-43	BGA(Ball Grid Array) のプロセスフローの例	39
図 4-14	外側および内側に配列された端子のレイアウトバ リエーション	22	図 4-44	サンプルモールド LGA(Land Grid Array) のプ ロセスフロー	40
図 4-15	端子が 2 列の場合のレイアウト	22	図 4-45	サンプルエアキャビティ LGA(Land Grid Array) のプ ロセスフロー	40
図 4-16	露出したダイ装着パッドのノッチ機能	23	図 4-46	LGA(Land Grid Array) プリント基板の上面 (プ ライマリーサイド) 図	41
図 4-17	端子配列が 2 列または 3 列の QFN (Quad Flat No-Lead) パッケージの例	23	図 4-47	LGA(Land Grid Array) プリント基板の下面 (セ カンダリーサイド) 図	41
図 4-18	端子配列が 2 列の場合の基本的なレイアウトバリエ ーション	24	図 5-1	HASL でコーティングされたリードの断面 (非平坦)	46
図 4-19	端子配列が 3 列の場合の基本的なレイアウトバリエ ーション	24	図 5-2	不均一な HASL 仕上げのパッド (左)、および HASL コーティングのバリエーションを示す座標 測定器 (CMM) による画像 (右)	46
図 4-20	コンタクト形状のバリエーション	25	図 5-3	SSD (solid solder deposition) による基本製造 ステップ	48
図 4-21	基本的な QFN(Quad Flat No-Lead) パッケージの 外形図	25	図 5-4	SSD のプロセスステップ	49
図 4-22	ピン 1 の配置オプション	26	図 5-5	ソルダマスク上にあるシルクスクリーンの厚さ測定	49
図 4-23	さまざまな BTC パッケージ	26	図 6-1	BTC(Bottom Termination Components) の QFN (Quad-Flat No-Lead)/SON(Small-Outline No-Lead) パッケージ群	51
図 4-24	QFN に用いられる、NiPdAu 仕上げの一般的 なダイ装着側リードフレーム	27	図 6-2	BTC 用プリント基板のランドパターン寸法の	52
図 4-25	リードフレーム上にテープが施された、QFN (Quad Flat No-Lead) パネルの一般的なはんだパッド側	27	図 6-3	ブルバック構成 (左) とブルバックなしの構成 (右) の比較	53
図 4-26	ダイシングで個片化する場合の QFN(Quad Flat No-Lead) 製造	28	図 6-4	QFN(Quad Flat No-Lead) パッケージ上のブルバッ クリードの顕微鏡画像： 下面 (左) および傾斜 視野 (右)	53
図 4-27	モールド成形 (オーバーモールド) したリードフレ ーム構成	28	図 6-5	ブルバックのリードの顕微鏡画像 (断面画像)	53
図 4-28	打ち抜きで個片化する QFN(Quad Flat No-Lead) の 製造	29	図 6-6	クリアランスレジストビアとオーバーレジストビアの ランドの比較	54
図 4-29	ワイヤーボンドをオプションとする場合の、金型打ち 抜きタイプとダイシングタイプによるパッケージの 比較	29	図 6-7	オプションによるソルダマスクのバリエーションの 比較	54
図 4-30	ハーフエッチングのブルバックコンタクトとフルエ ッチングのブルバックなしの外周コンタクトの 構成の例	30	図 6-8	NSMD 方式による I/O 設計の例	55
図 4-31	めっき層の構造の比較	32	図 6-9	個別およびギャングによる I/O 端子 (ソルダマスク ウィンドウ)	55
図 4-32	カスタム製の QFN サイトの詳細画像	33	図 6-10	ギャングによる I/O 端子とソルダマスクの開口部 (ウィンドウ)	55
図 4-33	28 の I/O を持つ MLF(Micro Lead Frame) パッケ ージの例	33	図 6-11	QFN デバイスへの表面の電源 / グラウンドのフラ ッディング	56
図 4-34	MLP(Micro Lead Package)	33			
図 4-35	MLFP(Micro Lead Frame Plastic) パッケージ	34			
図 4-36	JEDEC MO-220 パッケージの外形	34			
図 4-37	QFN のコンタクトの設計	35			

図 6-12	プリント基板供給者によって除去されたソルダマスクウェブ	56	図 6-39	QFN(Quad Flat No-Lead) ランドの顕微鏡画像：オープン Cu によるサーマルパッドの設計 (左)、はんだ印刷ウインドウパターン (中央)、リフロー後の X 線画像 (右)	72
図 6-13	SMD(Solder Mask Defined) (左) と NSMD (Non-Solder Mask Defined) (右) による、露出したパッドのはんだ付設計のオプション	56	図 6-40	オープン Cu によるビア設計：ソルダマスクがない場合 (左)、ソルダマスクが基板下面に侵入する場合 (オーバーレジスト) (右)	72
図 6-14	ソルダマスクウェブで個別化された、露出したパッドのはんだ付領域	57	図 6-41	上面をソルダマスクでビアテンディングした設計	73
図 6-15	パッケージ本体のエッジ部を超える、球状のはんだ接合部の形成 (左) とピンの突き出し (右)	57	図 6-42	VIPPO(Via-in-Pad Plated-Over) によるサーマルパッドの概略図と断面画像	75
図 6-16	パッケージピンよりも大きいパッド (左)、パッケージ本体のエッジ部からブルバックされたピン (右)	57	図 6-43	VIPPO(Via-in-Pad Plated-Over) によるパッドの例	76
図 6-17	凹状のはんだ接合部の形成 (左)、パッケージ本体のエッジ部を超えるピンの突き出し (右)	57	図 6-44	フローティングソルダマスクによるビア設計の場合の断面図と平面図 (上面図)	77
図 6-18	パッケージピンと同サイズのパッド (左)、パッケージ本体のエッジ部からブルバックされたピン (右)	57	図 6-45	単一 (独立した) のマスク位置 vs. 接続されたマスク位置	78
図 6-19	レーザーによるビア生成を活用した、HDI のビルドアップの可能性	58	図 6-46	フローティングソルダマスク設計の実施例	78
図 6-20	エッチングと機械的プロセスを活用した、HDI のビルドアップの可能性	59	図 6-47	単一のバルクアパーチャで印刷された Cu 領域 (左)、および複数のアパーチャで印刷された Cu 領域 (右)	81
図 6-21	平坦化およびキャッピングによるビアプロテクションの例	60	図 6-48	単一のバルクアパーチャを使用した場合のボイド発生レベル (左)、およびストライプアパーチャを使用した場合のボイド発生レベル (右)	82
図 6-22	ビアプロテクションの工法	61	図 6-49	大型ボディ (上) と小型ボディ (下) のパッケージサイズに基づいて最適化された、ストライプおよびバルクサーマルパッドステンシルアパーチャの設計	83
図 6-23	サーマルビアとサーマルパッドを示す Cu サーマルパッドの設計	62	図 6-50	サーマルパッド基準による被覆率の例	84
図 6-24	所定のビア密度を有するビアアレイの平均熱抵抗	62	図 6-51	はんだアパーチャ基準による被覆率	85
図 6-25	直角形のアレイ構造 (左)、六角形のアレイ構造 (右)	63	図 6-52	1:1 のステンシルアパーチャの減少	85
図 6-26	ランダムに配置したサーマルビアの例 - 推奨されない	63	図 6-53	ミラーリングによる QFN(Quad Flat No-Lead) 構造の例	86
図 6-27	ビア数量が不適切な場合の例	64	図 7-1	JEDEC のトレイキャリアーの形式	87
図 6-28	プリント基板のサーマルパッドを用いた熱伝達	64	図 7-2	感温性部品 (TSC) のリスクを高めるプロセスウインドウの上昇	88
図 6-29	BTC サーマルパッドの設計オプション	65	図 7-3	プローブマークが原因による表面欠陥	89
図 6-30	ソルダマスクの設計 (SMD 方式)	66	図 7-4	ブルバックおよびブルバックなしの BTC 構成における、はんだ接合部形成の結果：良い例 (左) と悪い例 (右)	89
図 6-31	一般的な SMD(Solder Mask Defined) によるレイアウト：ビア数が 9 未満の場合	68	図 7-5	張り出しパッドのある BTC	90
図 6-32	一般的な SMD(Solder Mask Defined) によるレイアウト：ビア数 9 を組み込んだ場合	68	図 7-6	テープリールの形式に収められたはんだプリフォーム	90
図 6-33	複雑な SMD(Solder Mask Defined) によるレイアウト：ビア数が 5 ~ 31 以上の場合	68	図 7-7	フラックス残さの閉じ込めが懸念される領域	91
図 6-34	マルチサーマルパッドで構成された設計の例	68	図 7-8	デュアルロー QFN 下のフラックス残さの堆積	91
図 6-35	オープンサーマルスルーホールビア構造	70	図 7-9	一般的に使用されるステンシル厚さの推奨アパーチャ寸法	93
図 6-36	QFN(Quad Flat No-Lead) サーマルパッド下に発生したはんだ突起	70	図 7-10	はんだディッピングをした場合としない場合の BTC の比較、および結果として生じるはんだのない状態	94
図 6-37	はんだ付された領域とビア充填のグラフ	71			
図 6-38	公称はんだ量が V_{max} に設定されている場合の、充填ビアにおけるプロセス変動 (青色のガウス曲線) の結果	72			

図 7-11	ランドからの位置ずれにおける最大許容値の 評価(リフロー前) ……………	95
図 7-12	メタル定義によるランドのはんだ接合部……………	96
図 7-13	SnPb はんだのリフロープロファイル ……………	97
図 7-14	SAC 合金はんだのリフロープロファイル ……………	98
図 7-15	プロファイル検証のための、BTC サーマルパッドの 熱電対の位置(赤色のマーカー) ……………	98
図 7-16	QFN(Quad Flat No-Lead) のソルダペースト検査 画像の例……………	99
図 7-17	MLF パッケージの顕微鏡画像:ぬれを示す例 (上段、左)、ぬれを示さない例(上段、右)…………	100
図 7-18	ぬれ高さの影響 ……………	101
図 7-19	AOI を使用した、良性のぬれを示すピンと不良性 のぬれを示すピン(サイドフランク)の検出 ……………	101
図 7-20	ウェッタブルフランクのある QFN(Quad Flat No-Lead) ……………	102
図 7-21	ウェッタブルフランクのある QFN(Quad Flat No-Lead) の断面……………	102
図 7-22	さまざまな技法を用いてはんだの欠落を検出 する X 線の画像……………	103
図 7-23	組立後の自動 X 線検査 (AXI) を使用した BTC の X 線画像の例……………	103
図 7-24	ステンシルを用いたはんだバンブ方法 ……………	104
図 8-1	1,000 サイクル後に、熱膨張係数 (CTE) の不一致か ら I/O BTC はんだ接合部に発生したはんだの亀裂…………	107
図 8-2	より薄い基板の場合に、疲労寿命がより長くなるこ とを示すワイブルプロット……………	108
図 8-3	7-mm の BTC パッケージの疲労寿命におけるラン ドサイズの影響 ……………	109
図 8-4	追加めっきバンブによるオプション ……………	109
図 8-5	BTC の疲労寿命におけるスタンドオフ高さの 影響……………	109
図 8-6	露出したパッドのはんだ接合部による熱伝達 A - 部品 ……………	110
図 8-7	全体的な Rth における、露出したパッド内のボイド の影響の計算……………	111
図 8-8	サーマルパッドの許容可能なボイド発生レベル (断面積で < 30 %)……………	111
図 9-1	プリント基板製造者によって除去されたソルダマス クウェブ ……………	113
図 9-2	すべての Cu パッドの形状とはんだ供給が 1 : 1 に設計されていない例 ……………	114
図 9-3	オープン Cu のサーマルパッド上にゼブラ印刷を 施した例 ……………	114
図 9-4	BTC のオープンジョイントの断面 ……………	115
図 9-5	断面でのオープン(写真上側)およびダイとプル (写真下側) ……………	115

図 9-6	LGA パッケージ上のはんだ付されていないランド ……	115
図 9-7	QFN 上のノンウェットジョイント ……………	116
図 9-8	QFN の接合部におけるはんだ不足 ……………	116
図 9-9	BTC の傾きが原因によるオープン ……………	117
図 9-10	サイドフレットの欠落……………	117
図 9-11	BTC I/O はんだ接合部のマイクロボイド ……………	117

表

表 3-1	一般的な BTC 識別一覧(例)……………	5
表 3-2	BTC の総所有コスト ……………	9
表 4-1	市販の QFN(Quad-Flat No-Lead) および DFN (Dual-Flat No-Lead) パッケージの構造……………	15
表 4-2	SON(Small Outline No-Lead) および QFN(Quad Flat No-Lead) パッケージの端子幅のバリエー ション ……………	20
表 4-3	本体外形、および最大端子数 ……………	21
表 4-4	コンタクトの形状 ……………	25
表 4-5	リードフレームパッケージの欠陥および故障モード ……	31
表 4-6	メタルリードフレームに用いられるめっき系 ……………	32
表 4-7	QFN の一般的なパッケージ外形と I/O 数 ……………	35
表 4-8	LLP(Leadless Lead Frame Package) および LFCSP(Lead Frame Chip Scale Package) のコン タクトピッチと幅のバリエーション ……………	37
表 4-9	LLP(Leadless Lead Frame Package) および LFCSP(Lead Frame Chip Scale Package) デバイス の基本的な材料組成要素(元素) ……………	37
表 4-10	サブストレートベースによる LGA(Land Grid Array) の欠陥と故障モード ……………	43
表 5-1	プリント基板のさまざまな表面仕上げに関する主な 属性……………	45
表 6-1	一般的な BTC 技術の範囲 ……………	51
表 6-2	BTC サーマルパッド設計オプションの長所と短所 ……	66
表 6-3	SMD(Solder Mask Defined) による設計ポイン トパラメータ ……………	69
表 6-4	オープン Cu によるサーマルパッドの設計パ ラメータ ……………	73
表 6-5	ビアテンディングによるサーマルパッドの設計 パラメータ ……………	75
表 6-6	VIPPO(Via-in-Pad Plated-Over) によるパッドの 設計パラメータ ……………	77
表 6-7	フローティングソルダマスクの設計パラメータ ……………	79
表 7-1	粒径の比較……………	92
表 7-2	一般的なステンシル技術およびオプションの長所 と短所 ……………	94
表 7-3	BTC の設計および工程管理のポイント……………	99
表 7-4	高品質の BTC 製造を保証するための、生産 レベルの検査ステージ ……………	99