

目录

1 范围	1	3.3.6 可润湿侧翼	10
1.1 目的	1	3.4 检验和返工	11
1.2 分级	1	3.4.1 方形扁平无引线封装 QFN 焊点的检验	11
1.3 测量单位	1	3.4.2 自动 X 射线检查 (AXI)	11
1.4 对要求的定义	1	3.4.3 失效分析	12
1.5 过程控制要求	2	3.4.4 返工的考虑	12
1.6 优先顺序	2	3.5 需求和期望	12
1.6.1 条款引用	2		
1.7 “引线”使用	2	4 元器件考虑	14
1.8 缩写和缩写词	2	4.1 不同 BTC 封装类型的总体说明	14
1.9 术语和定义	2	4.2 BTCs 的详细说明和标准	16
1.9.1 底部端子元器件 (BTC)	2	4.2.1 单排模封引线框基封装	16
1.9.2 可润湿侧翼	2	4.2.2 多排模封引线框基封装	16
1.9.3 外露芯片座	2	4.2.3 塑封方形, 双排直列, 正方形和矩形 无引线封装	16
1.9.4 散热焊盘	2	4.2.4 冲压分离密节距方形、超薄和特薄的外形、 引线框基无引线方形双排错列封装	20
1.9.5 散热导通孔	2	4.2.5 方形无引线错列和直列多排封装	23
2 适用文件	2	4.3 方形扁平无引线 QFN 和小外形无引线 SON/ 双列扁平无引线 DFN 封装详细说明	26
2.1 IPC	2	4.3.1 制造方法	26
2.2 联合标准	3	4.3.2 缺陷类型	30
2.3 ASME 美国机械工程师协会	4	4.3.3 标记选择	32
2.4 国际电工委员会 IEC	4	4.3.4 使用的材料	32
2.5 JEDEC	4	4.3.5 可焊性测试	33
3 BTCs 的总体概述	5	4.4 定制的 QFN 和 SON/DFN 封装	33
3.1 BTC 类型	5	4.5 市场产品变化说明	33
3.1.1 带散热芯片座 BTCs 元器件	5	4.5.1 微引线框 MLF, 微引线封装 MLP 和微引线框 塑封 MLFP 元器件的详细说明	33
3.1.2 没有散热芯片座的 BTCs 元器件	5	4.5.2 无引线引线框架封装 (LLP) 和引线框架 芯片级封装 (LFCSP) 元器件的详细描述	36
3.1.3 倒装芯片 QFN (FC-QFN)	5	4.6 盘栅阵列 (LGAs)	38
3.1.4 盘栅阵列 (LGA)	5	4.6.1 盘栅阵列 (LGA) 结构	39
3.1.5 其它 BTC 名称	5	4.6.2 基于基板的 LGAs 的制造方法	41
3.1.6 BTC 器件制造商缩写	6	4.6.3 缺陷类型	42
3.1.7 不同元器件结构的描述	6	4.6.4 安装盘栅阵列 (LGA) 封装的组装挑战	42
3.2 总拥有成本	9	4.6.5 HDI 工艺	42
3.3 QFN 类型 BTC 封装的设计和组装过程注意 事项	9	5 印制板和其它安装结构	44
3.3.1 载流要求和散热	9	5.1 高密度互连 (HDI) 叠层	44
3.3.2 电气性能	10	5.2 基材的考虑	44
3.3.3 焊膏类型选择、模板设计和焊膏印刷	10		
3.3.4 单个散热焊盘设计	10		
3.3.5 多散热焊盘设计	10		

5.3	吸湿性	44	6.13.1	散热焊盘的模板设计	81
5.4	表面处理	44	6.13.2	周边 I/O 模板设计	85
5.4.1	热风整平 (HASL)	46	6.14	模板开口缩小	85
5.4.2	有机可焊保护层 (OSP)	46	6.15	设计 BTCs 重要考量	86
5.4.3	化学镍 / 浸金 (ENIG)	46	6.15.1	I/O 端子上的成组阻焊膜开口	86
5.4.4	电解镀镍 / 电镀金	46	6.15.2	镜像方形扁平无引线 (QFN) 结构	86
5.4.5	化学镍 / 钯 / 浸金 (ENEPIG)	47	6.16	随机导通孔位置	86
5.4.6	浸银	47			
5.4.7	浸锡	47	7 印制板上 BTC 元器件的组装	86	
5.4.8	固体焊料沉积	47	7.1	BTC 元器件的考量	86
5.5	丝印	49	7.1.1	来料的包装形式	87
5.6	区域平整度、弓曲和扭曲	50	7.1.2	BTC 温度敏感性	88
			7.1.3	BTC 潮湿敏感性考量	88
6 印制板设计注意事项	50		7.1.4	BTC 端子表面处理和可焊性	88
6.1	可组装设计的考量	50	7.2	印制板的考量	89
6.2	BTC 连接盘图形设计过程	50	7.2.1	印制板设计对焊点填充形成的影响	89
6.3	封装变化	51	7.2.2	组装诱发的翘曲	90
6.4	BTC 连接盘图形和元器件符号编码	52	7.3	组装材料	90
6.5	电路布线注意事项 / 散热导通孔禁止区域	53	7.3.1	焊料合金安装方法	90
6.6	重要 BTC 封装要素的物理设计	53	7.3.2	焊膏	90
6.6.1	端子格式	53	7.3.3	预制焊料	90
6.7	BTC 连接盘图形和元器件符号编码	53	7.3.4	焊料合金	90
6.8	阻焊膜设计	54	7.3.5	助焊剂化学成分考量	91
6.8.1	侵入导通孔	54	7.3.6	边缘 / 角落粘合材料、底部填充料和粘合剂	91
6.8.2	I/O 铜焊盘的阻焊膜设计	54	7.4	BTC 清洗工艺	91
6.8.3	散热焊盘的阻焊膜设计	56	7.5	焊锡印刷和沉积	92
6.8.4	周边 I/O 铜焊盘设计	57	7.5.1	焊料模板印刷考量	92
6.9	HDI 考量	58	7.5.2	喷涂和点涂	93
6.10	铜散热焊盘设计	59	7.5.3	BTC 元器件的浸锡	94
6.10.1	散热导通孔类型	59	7.6	锡膏检查	94
6.10.2	关键的散热焊盘设计要素	60	7.7	元器件放置	95
6.10.3	散热焊盘导通孔数量和布置	62	7.8	焊点再流	95
6.10.4	散热导通孔标准栅格	62	7.8.1	再流气氛	96
6.10.5	导通孔数量不足	64	7.8.2	时间和温度曲线	96
6.11	散热焊盘设计选项	64	7.8.3	每个印制板组件的独立温度曲线	97
6.11.1	阻焊膜限定 (SMD) 散热焊盘设计	66	7.8.4	材料对助焊剂活性的影响、元件损伤和 可焊性	97
6.11.2	露铜散热焊盘设计	69	7.9	BTCs 器件的温度曲线	98
6.11.3	盖孔散热焊盘设计	73	7.10	BTCs 的工艺控制和监控点	99
6.11.4	侵入式散热焊盘设计	74	7.11	生产级别检验	99
6.11.5	盘中孔电镀盖孔 (VIPPO) 散热焊盘设计	74	7.11.1	自动焊膏检测 (SPI)	99
6.11.6	漂浮阻焊膜散热焊盘设计	77	7.11.2	自动光学检测 (AOI)	100
6.12	可清洗设计的考量	79	7.11.3	自动 x-ray 检测 (AXI)	102
6.13	模板设计考量	81			

图 4-8 端子连接点布局	19	图 4-41 盘栅阵列封装 (LGA) 示例	38
图 4-9 单排方形扁平无引线 (QFN) 封装端子 空缺方案	19	图 4-42 空腔和模封盘栅阵列 (LGA) 结构	39
图 4-10 边角端子与外露散热器	19	图 4-43 球栅阵列 (BGA) 工艺流程示范	39
图 4-11 金属化端子	20	图 4-44 模封盘栅阵列 (LGA) 工艺流程示范	40
图 4-12 密节距双排方形扁平无引线 (QFN) 封装	20	图 4-45 空腔盘栅阵列 (LGA) 工艺流程示范	40
图 4-13 方形扁平无引线 (QFN) 双排封装 (顶视图 和侧视图)	21	图 4-46 盘栅阵列 (LGA) 印制板顶 (主) 视图	41
图 4-14 外排和内排端子布局变化	22	图 4-47 盘栅阵列 (LGA) 印制板底 (副) 视图	41
图 4-15 双排端子布局	22	图 5-1 HASL 涂层的引线切片; 不平整	46
图 4-16 外露芯片连接焊盘上的缺口特征	23	图 5-2 不均匀 HASL 的焊盘 (左) 和显示 HASL 涂层 变化 (右) 的坐标测量机 (CMM) 图像	46
图 4-17 两排和三排方形扁平无引线 (QFN) 封装 示例	23	图 5-3 施加固体焊料沉积 (SSD) 基本生产步骤	48
图 4-18 基本双排端子布局变化	24	图 5-4 SSD 工艺步骤	49
图 4-19 基本三排端子布局变化	24	图 5-5 阻焊膜上丝印厚度测量	49
图 4-20 触点几何形状变化	25	图 6-1 底部端子器件 (BTC) 方形扁平无引线 (QFN) / 小外形无引线 (SON) 系列	51
图 4-21 基本方形扁平无引线 (QFN) 封装外形图	25	图 6-2 BTC 印制板连接盘图形尺寸	52
图 4-22 第一引脚位置选项	26	图 6-3 内缩 (左) 和不内缩 (右) 结构比较	53
图 4-23 各种 BTC 封装	26	图 6-4 方形扁平无引线 (QFN) 封装内缩引线的底视 (左) 和斜视 (右) 显微图像	53
图 4-24 QFN 具有镍钯金表面处理的典型芯片连接面 引线框	27	图 6-5 内缩切片显微图像	53
图 4-25 带有编带引线框的方形扁平无引线 (QFN) 面板的典型焊接面	27	图 6-6 阻焊膜不接触导通孔连接盘和阻焊膜侵入导通孔 连接盘的比较	54
图 4-26 切割分离的方形扁平无引线 (QFN) 的制造 过程	28	图 6-7 可选阻焊膜变化比较	54
图 4-27 模封引线框布局	28	图 6-8 非阻焊膜限定 NSMD I/O 设计示例	55
图 4-28 采用冲压分离的方形扁平无引线 (QFN) 制造过程	29	图 6-9 单独和成组 I/O 端子	55
图 4-29 带有键合线的冲压分离与切割分离封装 的比较	29	图 6-10 带有阻焊膜开口的成组 I/O 端子	55
图 4-30 半蚀刻内缩触点和全蚀刻不内缩边缘触点布局 图例	30	图 6-11 涌入 QFN 器件的表面电源 / 接地	56
图 4-31 镀层结构比较	32	图 6-12 印制板供应商移除阻焊膜网	56
图 4-32 QFN 定制焊盘位置的详图	33	图 6-13 阻焊膜限定 (SMD) (左) 和非阻焊膜限定 (NSMD) (右) 外露焊盘设计选项	56
图 4-33 28 I/O 微引线框 MLF 封装图例	33	图 6-14 阻焊膜网分割的外露焊盘焊接区	57
图 4-34 微引线封装 (MLP)	33	图 6-15 球状焊点形成 (左) 引脚伸出 (右) 封装本体 边缘	57
图 4-35 微引线框塑封 (MLFP)	34	图 6-16 焊盘大于封装引脚 (左) 和引脚从封装本体边缘 内缩 (右)	57
图 4-36 JEDEC MO-220 封装外形	34	图 6-17 凹状焊点形成 (左) 和引脚伸出封装本体边缘 (右)	57
图 4-37 QFN 触点设计	35	图 6-18 焊盘与封装引脚尺寸一致 (左) 和引脚从封装 本体边缘内缩 (右)	57
图 4-38 引线框芯片级封装 (LFCSP)	36	图 6-19 可通过激光导通孔生成的 HDI 叠构	58
图 4-39 无引线引线框封装 (LLP)	36	图 6-20 可通过蚀刻和机械加工工艺生成的 HDI 叠构	59
图 4-40 典型无引线引线框封装 (LLP) 和引线框芯片级 封装 (LFCSP) 的详细外形	37	图 6-21 平面化和封盖导通孔保护案例	60

图 6-22 导通孔保护方法	61	图 6-51 以焊料开口为基准的覆盖百分比	85
图 6-23 显示有散热导通孔和散热焊盘的铜散热焊盘设计	62	图 6-52 1:1 模板开口收缩	85
图 6-24 给定导通孔密度下, 导通孔阵列的印制板平均热阻	62	图 6-53 镜像方形扁平无引线 (QFN) 结构示例	86
图 6-25 正交阵列结构 (左) 和六边形阵列结构 (右)	63	图 7-1 JEDEC 载盘形式	87
图 6-26 散热导通孔随机放置示例—不推荐	63	图 7-2 增加温度敏感器件 (TSC) 风险的高温工艺窗口	88
图 6-27 导通孔数量不足	64	图 7-3 探针印痕引起的表面缺陷	89
图 6-28 用印制板散热焊盘的热传递	64	图 7-4 内缩和不内缩 BTC 配置的焊点形成结果, 好 (左) 与差 (右) 对比	89
图 6-29 BTC 散热焊盘设计选项	65	图 7-5 延伸焊盘 BTC	90
图 6-30 阻焊膜设计 (SMD)	66	图 7-6 编带形式的预制焊料	90
图 6-31 小于 9 个导通孔, 普通阻焊膜限定 (SMD) 布局	68	图 7-7 助焊剂截留影响区域	91
图 6-32 配置 9 个导通孔的, 普通阻焊膜限定 (SMD) 布局	68	图 7-8 双排 QFN 下助焊剂残留沉积	91
图 6-33 导通孔数量从 5 到 31 或更多, 复杂阻焊膜限定 (SMD) 布局	68	图 7-9 常用模板厚度推荐的开口尺寸	93
图 6-34 多个散热焊盘设计案例	68	图 7-10 浸锡和不浸锡的 BTCs 对比及导致的无焊料条件	94
图 6-35 开口散热贯通导通孔结构	70	图 7-11 评估最大偏移连接盘的可接受性 (再流前)	95
图 6-36 QFN 散热焊盘下焊料突出示意图	70	图 7-12 金属限定的连接盘焊点	96
图 6-37 焊接面积及导通孔填充示意图	71	图 7-13 SnPb 焊料再流焊温度曲线	97
图 6-38 如果标称焊料体积设置到最大量 V_{max} , 工艺变化 (蓝色高斯曲线) 导致有焊料填充的导通孔	72	图 7-14 SAC 合金焊料再流温度曲线	98
图 6-39 带有开口铜散热焊盘设计的方形扁平无引线 (QFN) 连接盘显微照片 (左)、焊膏印刷窗口图形 (中) 和再流后 X 射线图像 (右)	72	图 7-15 用于温度曲线验证的 BTC 散热焊盘热电偶 (红色记号)	98
图 6-40 没有阻焊膜、开口铜导通孔设计 (左图) 和印制板底部有阻焊膜侵入 (右图)	72	图 7-16 方形扁平无引线 (QFN) 焊膏检验图像	99
图 6-41 正面阻焊膜盖孔设计	73	图 7-17 MLF 封装润湿端子 (左上) 和不润湿端子 (右上) 的显微图像	100
图 6-42 盘中孔电镀盖孔 (VIPPO) 散热焊盘示意图及截面图	75	图 7-18 润湿高度影响	101
图 6-43 盘中孔电镀盖孔 (VIPPO) 焊盘示例	76	图 7-19 使用 AOI 检测良好润湿与不良润湿引脚 (侧翼) 对比	101
图 6-44 漂浮阻焊膜导通孔设计横截面和平面俯视图	77	图 7-20 带有可润湿侧翼的方形扁平无引线 (QFN)	102
图 6-45 孤立的阻焊膜位置与连接的阻焊膜位置	78	图 7-21 可润湿侧翼方形扁平无引线 (QFN) 切片图像	102
图 6-46 漂浮阻焊膜设计实施示例	78	图 7-22 使用各种技术检测焊料缺失的 X-ray 图像	103
图 6-47 整块单开口铜区域印刷 (左) 和多开口铜区域印刷 (右)	81	图 7-23 组装后使用自动 X 射线检测 (AXI) 的 BTC X-ray 图像示例	103
图 6-48 整块单开口空洞水平 (左) 和条纹开口空洞水平 (右)	82	图 7-24 使用模板焊料凸块方法	104
图 6-49 基于大本体 (上) 和小本体 (下) 封装尺寸的优化条纹和块状散热焊盘模板开口设计	83	图 8-1 经过 1000 次循环后, 由于热膨胀系数 (CTE) 不匹配导致的 BTC I/O 焊点中裂纹	107
图 6-50 以散热焊盘为基准的覆盖百分比示例	84	图 8-2 说明较薄印制板导致较高疲劳寿命的威布尔图	108
		图 8-3 7mm BTC 封装连接盘尺寸对疲劳寿命的影响	109
		图 8-4 电镀凸起选项	109
		图 8-5 托高高度对 BTC 疲劳寿命的影响	109

图 8-6 外露焊盘焊点的热传递	110	表 4-4 焊盘几何尺寸	25
图 8-7 外露焊盘内空洞对整体热阻影响的计算	111	表 4-5 引线框封装缺陷和失效模式	31
图 8-8 可接受的散热焊盘空洞水平 (横截面积 < 30%)	111	表 4-6 用于金属引线框的电镀系统	32
图 9-1 印制板制造商移除了阻焊膜网	113	表 4-7 QFN 典型封装外形和 I/O	35
图 9-2 所有铜焊盘的焊料沉积不是 1: 1	114	表 4-8 无引线引线框封装 (LLP) 和引线框芯片级 封装 (LFCSP) 触点节距和宽度变化	37
图 9-3 开口铜散热焊盘上斑马纹印刷	114	表 4-9 无引线引线框封装 (LLP) 和引线框芯片级封装 (LFCSP) 元器件的基本材料元素	37
图 9-4 BTC 焊点开路的切片	115	表 4-10 基于基板的盘栅阵列 (LGA) 缺陷和 失效模式	43
图 9-5 切片 (上) 和染色拉拔 (下) 显示开路	115	表 5-1 各种印制板表面处理的关键属性	45
图 9-6 LGA 封装不可焊接接盘	115	表 6-1 常用 BTC 的技术范围	51
图 9-7 QFN 不润湿焊点	116	表 6-2 BTC 散热焊盘设计方案优缺点	66
图 9-8 QFN 焊点处焊料不足	116	表 6-3 阻焊膜限定 (SMD) 设计要点参数	69
图 9-9 BTC 由于倾斜引起的开路	117	表 6-4 开口铜散热焊盘设计参数	73
图 9-10 无侧面填充	117	表 6-5 盖孔散热焊盘设计参数	75
图 9-11 BTC I/O 焊点中的微空洞	117	表 6-6 盘中孔电镀盖孔 (VIPPO) 设计参数	77
表			
表 3-1 某些常用 BTC 代号样本清单	5	表 6-7 悬浮阻焊膜设计参数	79
表 3-2 BTC 元器件的总拥有成本	9	表 7-1 颗粒尺寸比较	92
表 4-1 市场常规的 QFN 和 DFN 封装配置	15	表 7-2 常用模板技术和选项的优缺点	94
表 4-2 小外形无引线 (SON) 和方形扁平无引线 (QFN) 封装的各种端子宽度变化	20	表 7-3 BTCs 设计和工艺控制要点	99
表 4-3 本体外形和最大端子数量	21	表 7-4 确保高质量 BTC 制造的生产级别检验站	99