



IPC-7351B DE



Ihr Fachverband für Design,  
Leiterplatten- und Elektronikfertigung e. V.

FED e. V. - Ihr Fachverband  
für Design, Leiterplatten-  
und Elektronikfertigung  
Alte Jakobstraße 85/86  
10179 Berlin  
<http://www.fed.de>

# Basisanforderungen an das SMT-Design und SMD-Anschlussflächen- Richtlinie

If a conflict occurs  
between the English and  
translated versions of this  
document, the English  
version will take  
precedence.

Im Falle eines Konfliktes  
zwischen der englisch-  
sprachigen und einer  
übersetzten Version  
dieses Dokumentes hat  
die englischsprachige  
Version den Vorrang.

Entwickelt durch das Surface Mount Land Patterns Subcommittee (1-13)  
des Printed Board Design Committee (1-10) des IPC des IPC

**Ersetzt:**

IPC-7351A - Februar 2007  
IPC-7351 - Februar 2005  
IPC-SM-782A mit  
Ergänzungen 1 & 2 -  
Dezember 1999

Die Anwender dieser Richtlinie sind aufgefordert, an der Entwicklung  
künftiger Versionen mitzuarbeiten.

Kontakt:

IPC  
3000 Lakeside Drive, Suite 309S  
Bannockburn, Illinois  
60015-1249  
Tel 847 615.7100  
Fax 847 615.7105

# Inhaltsverzeichnis

<b>1 ANWENDUNGSBEREICH</b> .....	1	3.4.4 Passermarken .....	36
1.1 Zweck .....	1	3.4.5 Leiterbahnen .....	38
1.2 Rangfolge der Dokumente .....	1	3.4.6 Richtlinien für Verbindungslöcher .....	38
1.2.1 Struktur der Bauteil- und Anschlussflächen- Bild-Familien .....	2	3.4.7 Standard-Toleranzen bei der Herstellung von Leiterplatten .....	41
1.3 Leistungsklassifizierung .....	2	3.4.8 Nutzenbildung .....	43
1.3.1 Produzierbarkeits-Stufen .....	2	3.5 Endoberflächen der Außenlagen .....	45
1.4 Bestimmung der Anschlussflächen-Bilder .....	3	3.5.1 Lötstoppmasken .....	45
1.5 Fachbegriffe und Definitionen .....	3	3.5.2 Lötstoppmaskenfreie Bereiche .....	46
1.6 Revisionsänderungen .....	7	3.5.3 Endoberfläche der Anschlussflächen-Bilder .....	46
<b>2 ANWENDBARE DOKUMENTE</b> .....	7	<b>4 VALIDIERUNG DER BAUTEIL-QUALITÄT</b> ....	48
2.1 IPC .....	7	4.1 Validierungs-Verfahren .....	48
2.2 Electronic Industries Association .....	7	<b>5 PRÜFBARKEIT</b> .....	48
2.3 Joint Industry Standards (IPC) .....	7	5.1 Leiterplatten- und Baugruppen-Test .....	48
2.4 International Electrotechnical Commission .....	7	5.1.1 Leiterplatten-Test (bare board test) .....	48
2.5 Joint Electron Device Engineering Council (JEDEC) .....	7	5.1.2 Test der bestückten Leiterplatte .....	48
<b>3 DESIGNANFORDERUNGEN</b> .....	8	5.2 Knoten-Zugriff .....	49
3.1 Bemaßungssysteme .....	8	5.2.1 Test-Philosophie .....	49
3.1.1 Toleranzangaben bei Bauteilen .....	8	5.2.2 Test-Strategie für unbestückte Leiterplatten .....	49
3.1.2 Toleranzangaben bei Anschlussflächen .....	12	5.3 Vollzugriff auf alle Knoten bei bestückten Leiterplatten .....	50
3.1.3 Fertigungstoleranzen .....	12	5.3.1 Anpassung an den In-Circuit-Test .....	50
3.1.4 Bestückungstoleranzen .....	12	5.3.2 Test mit mehreren Prüfnadeln .....	50
3.1.5 Analyse der Abmessungen und Toleranzen .....	12	5.4 Eingeschränkter Knoten-Zugriff .....	51
3.2 Herstellbarkeit des Designs .....	31	5.5 Kein Knoten-Zugriff .....	51
3.2.1 SMT Anschlussflächen .....	32	5.6 Doppelseitige Testadapter .....	51
3.2.2 Auswahl von Standard-Bauteilen .....	32	5.7 Testbezogene Leiterplatten-Merkmale .....	51
3.2.3 Erforderliche Leiterplattentechnologie .....	32	5.7.1 Testpunkt-Abstände .....	51
3.2.4 Aspekte der Bestückung .....	32	5.7.2 Größe und Form der Testpunkte .....	51
3.2.5 Aspekte des automatischen Tests .....	32	5.7.3 Parameter des Designs für Testbarkeit .....	52
3.2.6 Dokumentation für die SMT-Baugruppe .....	32	<b>6 SUBSTRAT-TYPEN FÜR LEITERPLATTEN</b> ...	53
3.3 Umweltbedingungen .....	32	6.1 Allgemeine Betrachtungen .....	54
3.3.1 Feuchteempfindliche Bauteile .....	32	6.1.1 Kategorien .....	55
3.3.2 Aspekte der Einsatzbedingungen bei der Endanwendung .....	32	6.1.2 Fehlanpassung der thermischen Ausdehnung .....	55
3.4 Designregeln .....	33	6.2 Organisches Basismaterial .....	55
3.4.1 Abstand zwischen Bauteilen .....	33	6.3 Anorganisches Basismaterial .....	55
3.4.2 Ein- und zweiseitig bestückte Leiterplattenbaugruppen .....	34	6.4 Alternative Leiterplatten-Materialien .....	56
3.4.3 Bauteilabstand über der Leiterplatte für Reinigungszwecke .....	36	6.4.1 Verstärkungslagen bei Leiterplattenmaterialien .....	56

6.4.2	Leiterplattentechnologien für hochdichte Strukturen .....	56	8.3.2	Kennzeichnung .....	65
6.4.3	Thermische Ausgleichskerne .....	56	8.3.3	Verpackungsträger .....	65
6.4.4	Porzellanisierte Metall-(Kern)-Strukturen .....	56	8.3.4	Widerstandsfähigkeit gegen Lötprozess-Temperaturen .....	65
<b>7</b>	<b>BETRACHTUNGEN ZUR BESTÜCKUNGSTECHNOLOGIE OBERFLÄCHENMONTIERBARER BAUTEILE (SMT) .....</b>	<b>56</b>	8.4	Kunststoffumspritzter Bauteilkörper (CAPMP, CAPM, DIOM, FUSM, INDM, INDP, LEDM, RESM) .....	65
7.1	Prozessablauf der SMD-Bestückung .....	56	8.4.1	Grundlegender Aufbau .....	65
7.2	Vorbereitung des Substrats .....	58	8.4.2	Kennzeichnung Bauteile sind sowohl mit, als auch ohne aufgedruckte Werte verfügbar. ....	65
7.2.1	Kleberauftrag .....	58	8.4.3	Verpackungsträger .....	65
7.2.2	Leitfähiger Kleber .....	58	8.4.4	Widerstandsfähigkeit gegen Lötprozess-Temperaturen .....	65
7.2.3	Auftrag von Lotpaste .....	58	8.5	MELF (Metal Electrode Face) (DIOMELF, RESMELF) .....	66
7.2.4	Lot-Formteile .....	58	8.5.1	Grundlegender Aufbau .....	66
7.3	Bauteil-Platzierung .....	59	8.5.2	Kennzeichnung .....	66
7.3.1	Transfer von Bauteil-Daten .....	59	8.5.3	Verpackungsträger .....	66
7.4	Lötprozesse .....	59	8.5.4	Widerstandsfähigkeit gegen Lötprozess-Temperaturen .....	66
7.4.1	Wellenlöten .....	59	8.6	SOT23 .....	66
7.4.2	Dampfphasenlöten (vapor phase VP) .....	60	8.6.1	Grundlegender Aufbau .....	66
7.4.3	Infrarot-Reflowlöten .....	60	8.6.2	Kennzeichnung .....	66
7.4.4	Heißluft-/Konvektionslöten .....	61	8.6.3	Verpackungsträger .....	66
7.4.5	Laser-Reflowlöten .....	61	8.6.4	Widerstandsfähigkeit gegen Lötprozess-Temperaturen .....	67
7.4.6	Reflow-Kontaktlöten .....	61	8.7	SOT89 .....	67
7.5	Reinigung .....	61	8.7.1	Grundlegender Aufbau .....	67
7.6	Reparatur/Nacharbeit .....	61	8.7.2	Kennzeichnung .....	67
7.6.1	Einfluss von Wärmesenken .....	61	8.7.3	Verpackungsträger .....	67
7.6.2	Einfluss des Leiterplatten-Basismaterials .....	62	8.7.4	Widerstandsfähigkeit gegen Lötprozess-Temperaturen .....	67
7.6.3	Einfluss der Kupfer-Anschlussflächen und der Leiterbahn-Layouts .....	62	8.8	SOD123 .....	67
<b>8</b>	<b>IPC-7352 DISKRETE BAUTEILE .....</b>	<b>62</b>	8.8.1	Grundlegender Aufbau .....	67
8.1	Chipwiderstände (RESC) .....	63	8.8.2	Kennzeichnung .....	67
8.1.1	Grundlegender Aufbau .....	63	8.8.3	Verpackungsträger .....	67
8.1.2	Kennzeichnung .....	63	8.8.4	Widerstandsfähigkeit gegen Lötprozess-Temperaturen .....	67
8.1.3	Verpackungsträger .....	63	8.9	SOT143 .....	67
8.1.4	Widerstandsfähigkeit gegen Lötprozess-Temperaturen .....	63	8.9.1	Grundlegender Aufbau .....	68
8.2	Chipkondensatoren (CAPC) .....	64	8.9.2	Kennzeichnung .....	68
8.2.1	Grundlegender Aufbau .....	64	8.9.3	Verpackungsträger .....	68
8.2.2	Kennzeichnung .....	64	8.9.4	Widerstandsfähigkeit gegen Lötprozess-Temperaturen .....	68
8.2.3	Verpackungsträger .....	64	8.10	SOT223 .....	68
8.2.4	Widerstandsfähigkeit gegen Lötprozess-Temperaturen .....	64	8.10.1	Grundlegender Aufbau .....	68
8.3	Induktivitäten (INDC, INDM, INDP) .....	65			
8.3.1	Grundlegender Aufbau .....	65			

8.10.2	Kennzeichnung .....	68	9.3.3	Widerstandsfähigkeit gegen Lötprozess- Temperaturen .....	73
8.10.3	Verpackungsträger .....	68	9.4	CFP127 .....	73
8.10.4	Widerstandsfähigkeit gegen Lötprozess- Temperaturen .....	68	9.4.1	Kennzeichnung .....	73
8.11	DPAK (TO) .....	68	9.4.2	Verpackungsträger .....	73
8.11.1	Grundlegender Aufbau .....	68	9.4.3	Widerstandsfähigkeit gegen Lötprozess- Temperaturen .....	73
8.11.2	Kennzeichnung Bauteile sind sowohl mit, als auch ohne aufgedruckte Bauteilwerte verfügbar. ....	69	<b>10 IPC-7354 BAUTEILE MIT J-FÖRMIGEN ANSCHLÜSSEN AN ZWEI SEITEN</b>		
8.11.3	Verpackungsträger Der Verpackungsträger muss folgenden Angaben entsprechen: Körper-Typ DPAK, 12,0 mm Gurt mit 8,0 mm Transportraster. ....	69	10.1	Grundlegender Aufbau .....	74
8.11.4	Widerstandsfähigkeit gegen Lötprozess- Temperaturen .....	69	10.2	Kennzeichnung .....	74
8.12	Aluminium-Elektrolytkondensator (CAPAE) ....	69	10.3	Verpackungsträger .....	74
8.12.1	Grundlegender Aufbau .....	69	10.4	Prozessaspekte .....	74
8.12.2	Kennzeichnung .....	69	<b>11 IPC-7355 BAUTEILE MIT GULLWING- ANSCHLÜSSEN AN VIER SEITEN</b>		
8.12.3	Verpackungsträger .....	69	11.1	BQFP oder PQFP .....	76
8.12.4	Widerstandsfähigkeit gegen Lötprozess- Temperaturen .....	69	11.1.1	Verpackungsträger .....	77
8.13	SO-Diode mit flachen Anschlüssen (SODFL) / SO-Transistor mit flachen Anschlüssen (SOTFL) .....	69	11.2	QFP .....	77
8.13.1	Grundlegender Aufbau .....	69	11.2.1	Verpackungsträger .....	77
8.13.2	Kennzeichnung .....	70	11.3	CQFP .....	77
8.13.3	Verpackungsträger .....	70	11.3.1	Verpackungsträger .....	77
8.13.4	Widerstandsfähigkeit gegen Lötprozess- Temperaturen .....	70	<b>12 IPC-7356 BAUTEILE MIT J-FÖRMIGEN ANSCHLÜSSEN AN VIER SEITEN</b>		
<b>9 IPC-7353 BAUTEILE MIT GULLWING- ANSCHLÜSSEN AN ZWEI SEITEN</b>		70	12.1	PLCC .....	79
9.1	SOIC .....	71	12.1.1	Vorgeformte (premolded) Kunststoff- Chip-Träger .....	79
9.1.1	Grundlegender Aufbau .....	71	12.1.2	Nachgeformte (postmolded) Kunststoff- Chip-Träger .....	79
9.1.2	Kennzeichnung .....	71	12.2	PLCCR .....	80
9.1.3	Verpackungsträger .....	71	12.2.1	Vorgeformte (premolded) Kunststoff- Chip-Träger .....	80
9.1.4	Widerstandsfähigkeit gegen Lötprozess- Temperaturen .....	71	12.2.2	Nachgeformte (postmolded) Kunststoff- Chip-Träger .....	80
9.2	SOP8/SOP64 (SOP) .....	71	<b>13 IPC-7357 BAUTEILE MIT PFOSTEN- ANSCHLÜSSEN AN ZWEI SEITEN (DIP)</b>		
9.2.1	Grundlegender Aufbau .....	72	13.1	Anschluss-Materialien .....	80
9.2.2	Kennzeichnung .....	72	13.2	Kennzeichnung .....	81
9.2.3	Verpackungsträger .....	72	13.3	Verpackungsträger .....	81
9.2.4	Widerstandsfähigkeit gegen Lötprozess- Temperaturen .....	72	13.4	Widerstandsfähigkeit gegen Lötprozess- Temperaturen .....	81
9.3	SOP127 .....	72	<b>14 IPC-7358 BAUTEILE MIT MATRIXARTIG ANGEORDNETEN ANSCHLÜSSEN (BGA, FBGA, CGA, LGA, CHIP-ARRAY)</b>		
9.3.1	Kennzeichnung .....	73			
9.3.2	Verpackungsträger .....	73			

14.1 Aufbauarten bei Bauteilen mit matrixartig angeordneten Anschlüssen ..... 82

14.1.3 Keramische-/Kunststoff-Bauteile mit matrixartig angeordneten Anschlusssäulen (CGA) ..... 84

14.1.4 Kunststoffgehäuse mit matrixartig angeordneten Anschlussflächen (LGA) ..... 85

14.2 Allgemeine Aspekte des Gehäuseaufbaus ..... 85

14.2.3 Selektive Kontaktentfernung ..... 86

14.2.4 Konstruktion der Montagefläche ..... 86

14.2.5 Definition der Kontaktbezeichnungen ..... 86

14.3 Handhabung und Transport ..... 87

14.4 Analyse des Anschlussflächen-Bildes ..... 87

14.4.1 Ermittlung der Anschlussfläche ..... 87

14.4.2 Gesamtabweichungen ..... 87

14.4.3 Berechnung der Anschlussflächen-Bilder ..... 89

14.5 Chip-Array-Bauteilgehäuse ..... 89

14.5.1 Konkave Chip-Array-Gehäuse (RESCAV, CAPCAV, INDCAV, OSCSC, OSCCC) ..... 89

14.5.2 Konvexe Chip-Array-Gehäuse (RESCAXE, RESCAXS) ..... 89

14.5.3 Flache Chip-Array-Gehäuse (RESCAF, CAPCAF, INDCAF) ..... 90

**15 IPC-7359 BAUTEILE MIT UNBEDRAHTETEN ANSCHLÜSSEN (QFN, PQFN, SON, PSON, DFN, LCC) ..... 90**

15.1 Unbedrahtete Chip-Träger LCC ..... 90

15.1.1 Kennzeichnung ..... 91

15.1.2 Verpackungsträger ..... 91

15.1.3 Prozessaspekte ..... 91

15.2 Unbedrahtete, flache Bauteile mit Anschlüssen an vier Seiten (Quad Flat No-Lead (QFN)) ..... 91

15.2.1 Kennzeichnung ..... 93

15.2.2 Verpackungsträger ..... 93

15.2.3 Prozessaspekte ..... 93

15.2.4 Lötstoppmaskenaspekte ..... 93

15.3 Unbedrahtete Bauteile mit kleinem Umfang (Small Outline No-Lead (SON)) ..... 93

15.3.1 Kennzeichnung ..... 94

15.3.2 Verpackungsträger ..... 94

15.3.3 Prozessaspekte ..... 94

15.3.4 Lötstoppmaskenaspekte ..... 94

15.4 Unbedrahtete Bauteile mit Anschlüssen an vier Seiten (PQFN) und unbedrahtete Bauteile mit kleinem Umfang (PSON), jeweils mit zurückgezogenen Anschlüssen ..... 94

15.5 Dual Flat No-Lead (DFN) ..... 94

15.5.1 Grundlegender Aufbau ..... 94

15.5.2 Kennzeichnung ..... 95

15.5.3 Verpackungsträger ..... 95

15.5.4 Widerstandsfähigkeit gegen Lötprozess-Temperaturen ..... 95

**16 NULL GRAD BAUTEILDREHLAGE ..... 95**

**ANHANG A (informativ) Testmuster – Prozess-Evaluierungen ..... 102**

**ANHANG B IPC-7351 Software zur Berechnung der Anschlussflächen-Bilder (Land Pattern Calculator) ..... 104**

**Bilder**

Bild 3-1 Profil-Toleranz-Verfahren ..... 8

Bild 3-2 Dimensionierungsbeispiel für einen Kondensator 3216 (1206) für optimale Lötstellen ..... 9

Bild 3-3 Profil-Toleranz-Bemaßung eines Gullwing-SOIC-Bauteils ..... 10

Bild 3-4 Anschlussraster bei Bauteilen mit mehreren Anschlüssen ..... 14

Bild 3-5 Definition der Courtyard-Zonen ..... 23

Bild 3-6 Beispiele für Modifikationen der grundlegenden Anschlussflächenformen ..... 26

Bild 3-7 Beispiele für Modifikatoren für angefastete Ecken ..... 29

Bild 3-8 Bauteildrehlage beim Wellenlöten ..... 34

Bild 3-9 Ausrichtung ähnlicher Bauteile ..... 35

Bild 3-10 Globale-/Nutzenpassermarken ..... 36

Bild 3-11 Lokale Passermarken ..... 37

Bild 3-12 Positionen für Passermarken auf einer Leiterplatte ..... 37

Bild 3-13 Anforderungen an Größe und Freifläche bei Passermarken ..... 38

Bild 3-14 Verwendung von Verbindungslöchern in Leiterplatten mit hoher Bauteildichte ..... 39

Bild 3-15 Anschlussflächen-Bilder in Bezug zu Verbindungslöchern ..... 39

Bild 3-16 Beispiele für Konzepte zur Positionierung der Verbindungslöcher ..... 40

Bild 3-17 Verbindungslöcher unter Bauteilen ..... 40

Bild 3-18 Gefüllte und abgedeckte Verbindungslöcher-Struktur ..... 41

Bild 3-19	Prozessbeschreibung für Verbindungslöcher in Anschlussflächen .....	41	Bild 9-2	Aufbau des SOP8/SOP63 Gehäuses .....	72
Bild 3-20	Leiterbahnbeschreibung .....	42	Bild 9-3	Aufbau des SOP127-Gehäuses .....	72
Bild 3-21	Beispiele abgeänderter Anschlussflächen ....	43	Bild 9-4	Aufbau des CFP127-Gehäuses .....	73
Bild 3-22	Typischer Nutzen aus Kupfer-Glasfaserlaminat .....	44	Bild 10-1	Aufbau des SOJ-Gehäuses .....	74
Bild 3-23	Leiterbahnfreie Bereiche beim V-Nut-Ritzen .....	45	Bild 11-1	Aufbau des BQFP-Gehäuses .....	76
Bild 3-24	Ausbrechungen und gefräste Schlitze .....	45	Bild 11-2	Aufbau des QFP-Gehäuses .....	77
Bild 3-25	Gemeinsame Öffnung der Lötstopmmaske ..	46	Bild 11-3	Aufbau des CQFP-Gehäuses .....	77
Bild 3-26	Einzelne Öffnungen der Lötstopmmaske ....	46	Bild 12-1	Aufbau des PLCC-Gehäuses .....	79
Bild 4-1	Betriebs-Temperaturgrenzen für Bauteile ...	48	Bild 12-2	Aufbau des PLCCR-Gehäuses .....	80
Bild 5-1	Raster-Konzepte für Test-Verbindungslöcher .....	50	Bild 13-1	Aufbau des DIP-Gehäuses .....	80
Bild 5-2	Allgemeine Beziehung zwischen der Größe der Testpunkte und der Anzahl der Fehlkontaktierungen .....	51	Bild 14-1	Beispiel eines Ball-Grid-Array-Gehäuses ...	82
Bild 5-3	Abstand zwischen Testpunkten und Bauteilen .....	52	Bild 14-2	Beispiel unterschiedlicher Aufbau-techniken bei Kunststoff-BGA-Gehäusen ...	83
Bild 7-1	Typisches Prozessablauf-Diagramm für einseitige SMT-Leiterplatten .....	57	Bild 14-3	Keramik-/Kunststoff-Gehäuse mit matrixartig angeordneten Anschluss-Säulen (CGA) .....	84
Bild 7-2	Bestückungsprozessablauf-Diagramm für zweiseitig SMD-bestückte Leiterplatten mit Bauteilen in Durchstecktechnologie ....	57	Bild 14-4	Aufbau eines Kunststoff-Gehäuses mit matrixartig angeordneten Anschlussflächen (LGA) .....	85
Bild 8-1	Verpackung diskreter Bauteile .....	62	Bild 14-5	BGAs mit unterschiedlichen Rastern in gleicher Gehäusegröße .....	85
Bild 8-2	Aufbau eines Chipwiderstands .....	63	Bild 14-6	Eine Gehäusegröße, zwei Vollmatrizen .....	85
Bild 8-3	Aufbau eines Chipkondensators .....	64	Bild 14-7	Umfangsmatrix und thermisch verbesserte Matrix .....	86
Bild 8-4	Aufbau von Induktivitäten .....	65	Bild 14-8	Versetzte Matrix .....	86
Bild 8-5	Aufbau mit kunststoffumspritztem Bauteilkörper .....	65	Bild 14-9	Selektive Kontaktentfernung .....	86
Bild 8-6	Aufbau von MELF-Bauteilen .....	66	Bild 14-10	Bauteil-Drehlage und Position des Kontakts A1 .....	86
Bild 8-7	Explosionszeichnung von MELF-Bauteilen .....	66	Bild 14-11	Aufbau des seitenkonkaven Chip-Array-Bauteils .....	89
Bild 8-8	Aufbau des SOT23-Gehäuses .....	66	Bild 14-12	Aufbau des eckenkonkaven Chip-Array-Bauteils .....	89
Bild 8-9	Aufbau des SOT89-Gehäuses .....	67	Bild 14-13	Aufbau des konvexen Chip-Array-Bauteils, „E“-Version .....	90
Bild 8-10	Aufbau des SOD123 Gehäuses .....	67	Bild 14-14	Aufbau des konvexen Chip-Array-Bauteils, „S“-Version .....	90
Bild 8-11	Aufbau des SOT143 Gehäuses .....	68	Bild 14-15	Aufbau der Chip-Array-Bauteile mit flachen Anschlüssen .....	90
Bild 8-12	Aufbau des SOT223 Gehäuses .....	68	Bild 15-1	Aufbau des LCC-Bauteils .....	90
Bild 8-13	Aufbau des DPAK (TO) Gehäuses .....	68	Bild 15-2	Aufbau des unbedrahteten, flachen Bauteils mit Anschlüssen an vier Seiten (Quad Flat No-Lead (QFN)) .....	92
Bild 8-14	Aufbau des Gehäuses für Aluminium-Elektrolytkondensatoren (CAPAE) .....	69	Bild 15-3	Aufbau des unbedrahteten, flachen Bauteils mit Anschlüssen an vier Seiten (QFN) als Schnittbild .....	92
Bild 8-15	Aufbau der SODFL-/SOTFL-Gehäuse .....	70			
Bild 9-1	Aufbau der SOIC-Gehäuse .....	71			



Bild 15-4 QFN-Bauteile mit Mehrfachöffnungen der Lotpastenschablonen ..... 92

Bild 15-5 Aufbau des unbedrahteten SON-Bauteils .... 94

Bild 15-6 Aufbau der QFN- und SON-Bauteile mit zurückgezogenen Anschlüssen (PQFN, PSON) ..... 94

Bild 15-7 Aufbau der DFN-Bauteile ..... 94

Bild 16-1 0°-Drehlage für gängige Gehäuseformen .... 96

Bild A-1 Allgemeine Darstellung von Anschluss- und Verbindungsmustern zur Prozessvalidierung ..... 103

Bild A-2 Belichtungsstruktur der Primärseite der IPC-Testleiterplatte ..... 103

**Tabellen**

Tabelle 3-1 Elemente der Toleranzanalyse für Chip-Bauteile ..... 15

Tabelle 3-2 L-förmige Flachband- und Gullwing-Anschlüsse (Raster größer als 0,625 mm) (Einheit: mm) ..... 16

Tabelle 3-3 L-förmige Flachband- und Gullwing-Anschlüsse (Raster kleiner gleich 0,625 mm) (Einheit: mm) ..... 16

Tabelle 3-4 J-förmige Anschlüsse (Einheit: mm) ..... 17

Tabelle 3-5 Bauteile mit rechteckigen oder quadratischen Enden (Kondensatoren und Widerstände), größer oder gleich 1608 (0603) (Einheit: mm) ..... 17

Tabelle 3-6 Bauteile mit rechteckigen oder quadratischen Enden (Kondensatoren und Widerstände), kleiner als 1608 (0603) (Einheit: mm) ..... 17

Tabelle 3-7 Zylindrische Endkappen-Anschlüsse (MELF) (Einheit: mm) ..... 17

Tabelle 3-8 Unbedrahtete Chip-Träger mit Anschlussflächen in Einbuchtungen (Einheit: mm) ..... 18

Tabelle 3-9 Chip-Array-Bauteile mit konkaven Anschlüssen (Einheit: mm) ..... 18

Tabelle 3-10 Chip-Array-Bauteile mit konvexen Anschlüssen (Einheit: mm) ..... 18

Tabelle 3-11 Chip-Array-Bauteile mit flachen Anschlüssen (Einheit: mm) ..... 19

Tabelle 3-12 Stumpfe Verbindungen (Einheit: mm) ..... 19

Tabelle 3-13 L-förmige, einwärts gebogene, flache Anschlüsse (Induktivitäten, Dioden und gepolte Kondensatoren im Kunststoffgehäuse) (Einheit: mm) ..... 19

Tabelle 3-14 Flache Anschlussfahnen (Einheit: mm) .... 19

Tabelle 3-15 Unbedrahtete Anschlüsse an vier Seiten (Einheit: mm) ..... 20

Tabelle 3-16 Unbedrahtete Anschlüsse bei kleinem Umfang (Small Outline) (Einheit: mm) .... 20

Tabelle 3-17 Ball-Grid-Array-Bauteile (Einheit: mm) .. 20

Tabelle 3-18 Unbedrahtete Anschlüsse an zwei oder vier Seiten mit zurückgezogenen Anschlussflächen (Einheit: mm) ..... 20

Tabelle 3-19 Oszillatorgehäuse mit konkaven Anschlüssen an den Ecken (Einheit: mm) ..... 21

Tabelle 3-20 Aluminium-Elektrolytkondensator und Quarz mit zwei Anschlüssen (Einheit: mm) ..... 21

Tabelle 3-21 Column-Grid- und Land-Grid-Array (Einheit: mm) ..... 21

Tabelle 3-22 Bauteile mit kleinem Umfang (Small Outline) und flachen Anschlüssen (Einheit: mm) ..... 21

Tabelle 3-23 IPC-7351 Bezeichnungsschema für Anschlussflächen-Bilder ..... 24

Tabelle 3-24 Produktkategorien und ungünstigste Umgebungsbedingungen für SMT-Elektronik (Nur zur Information) ..... 33

Tabelle 3-25 Toleranzen der Leiterbahnbreite für Kupfer der Stärke 0,046 mm [0,00181 in] (Einheit: mm [in]) ..... 42

Tabelle 3-26 Positionstoleranz für Leiterbilder (Einheit: mm [in]) ..... 43

Tabelle 3-27 Schlüsselmerkmale verschiedener Endoberflächen für Leiterplatten ..... 47

Tabelle 6-1 Vergleich von Leiterplatten-Substratmaterialien ..... 53

Tabelle 6-2 Betrachtungen zur Materialauswahl bei Leiterplattensubstraten ..... 54

Tabelle 6-3 Material-Eigenschaften von Leiterplattensubstraten ..... 55

Tabelle 8-1 Lötbarkeitstests für diskrete Bauteile ..... 62

Tabelle 8-2 Lötbarkeit, Bad-Verfahren: Prüfschärfe (Dauer und Temperatur) ..... 63

Tabelle 8-3 Reflow-Spitzentemperaturen bei Gehäusen ..... 64

Tabelle 9-1 Lötbarkeitstests für Bauteile mit Gullwing-Anschlüssen an zwei Seiten ..... 71

Tabelle 9-2 Lötbarkeit, Bad-Verfahren: Prüfschärfe (Dauer und Temperatur) ..... 72

Tabelle 9-3	Reflow-Spitzentemperaturen bei Gehäusen .....	72	Tabelle 13-2	Lötbarkeit, Bad-Verfahren: Prüfschärfe (Dauer und Temperatur) .....	81
Tabelle 10-1	Lötbarkeitstests für Bauteile mit Gullwing-Anschlüssen an zwei Seiten .....	73	Tabelle 12-3	Reflow-Spitzentemperaturen bei Gehäusen .....	82
Tabelle 10-2	Lötbarkeit, Bad-Verfahren: Prüfschärfe (Dauer und Temperatur) .....	75	Tabelle 14-1	Lötbarkeitstests für diskrete Bauteile .....	83
Tabelle 10-3	Reflow-Spitzentemperaturen bei Gehäusen .....	75	Tabelle 14-2	Reflow-Spitzentemperaturen bei Gehäusen .....	83
Tabelle 11-1	Lötbarkeitstests für Bauteile mit Gullwing-Anschlüssen an zwei Seiten .....	75	Tabelle 14-3	Zulässige Lotkugel-Durchmesser für verschiedene Anschlussraster für FBGA in (mm) gemäß JEDEC Standard JEP95 .....	84
Tabelle 11-2	Lötbarkeit, Bad-Verfahren: Prüfschärfe (Dauer und Temperatur) .....	76	Tabelle 14-4	Lotkugel-Durchmesser in (mm) .....	87
Tabelle 11-3	Reflow-Spitzentemperaturen bei Gehäusen .....	76	Tabelle 14-5	Bestimmung der Anschlussflächengröße (mm) bei aufschmelzenden Lotkugeln .....	88
Tabelle 12-1	Lötbarkeitstests für Bauteile mit Gullwing-Anschlüssen an zwei Seiten .....	78	Tabelle 14-6	Bestimmung der Anschlussflächen- größe (mm) bei nicht-schmelzenden Lotkugeln .....	88
Tabelle 12-2	Lötbarkeit, Bad-Verfahren: Prüfschärfe (Dauer und Temperatur) .....	79	Tabelle 14-7	Gesamtabweichungen (mm) bei BGAs .....	88
Tabelle 12-3	Reflow-Spitzentemperaturen bei Gehäusen .....	79	Tabelle 14-8	Anschlussflächengröße in Abhängigkeit von der Lotkugelgröße für aktuelle und künftige BGA-Gehäuse (mm) .....	89
Tabelle 13-1	Lötbarkeitstests für Bauteile mit Gullwing-Anschlüssen an zwei Seiten .....	81	Tabelle 15-1	Lötbarkeitstests für diskrete Bauteile .....	91
			Tabelle 15-2	Lötbarkeit, Bad-Verfahren: Prüfschärfe (Dauer und Temperatur) .....	92
			Tabelle 15-3	Reflow-Spitzentemperaturen bei Gehäusen .....	92



# Basisanforderungen an das SMT-Design und SMD-Anschlussflächen-Richtlinie

## 1 ANWENDUNGSBEREICH

Dieses Dokument enthält die Basisanforderungen an die Ausführung der Anschlussflächen für oberflächenmontierte elektronische Bauteile sowie SMT-Designempfehlungen, um optimale Lötstellen für die bestückten Bauteile zu erzielen.

**1.1 Zweck** Es ist beabsichtigt, mit diesen Informationen Angaben über die richtige Größe, Form und Toleranz der Anschlussflächen-Bilder für oberflächenmontierte Bauteile an die Hand zu geben, um sicherzustellen, dass eine ausreichende Fläche zur Ausbildung von Lothohlkehlen zur Verfügung steht, die den Anforderungen der IPC J-STD-001 entspricht und die Lötstellen für Inspektion, Test und Nacharbeit geeignet sind. Designer können die in dieser Richtlinie enthaltenen Information nicht nur zur Erstellung von Standard-Anschlussflächen-Geometrien für manuelle Leiterplattendesigns nutzen, sondern auch für computergestützte Designsysteme. Egal, ob Bauteile auf eine oder beide Seiten einer Leiterplatte bestückt werden und ob sie mittels Wellenlöten, Reflowlöten oder einem anderen Lötverfahren verbunden werden: Die Größe der Bauteile und der zugehörigen Anschlussflächen-Bilder sollten optimiert werden, um eine geeignete Lötstelle sowie Inspektionskriterien sicherzustellen.

Die Anschlussflächen sind ein Bestandteil der Leiterstruktur und beeinflussen die Produzierbarkeits-Stufen und Toleranzen, die mit der Leiterplatten-Herstellung und den Bestückprozessen verbunden sind. Die Aspekte der Produzierbarkeit betreffen auch die Verwendung der Lötstopmmaske sowie die erforderliche Überdeckungsgenauigkeit zwischen der Lötstopmmaske und dem Leiterbild.

Ergänzend zu den Anschlussflächen-Geometrien, die für eine geeignete Ausbildung der Lötverbindung erforderlich sind, müssen weitere Montagebedingungen berücksichtigt werden. Dazu gehören z. B. Abstände zur Lötstopmmaske, Größen der Schablonenöffnungen, Abstände benachbarter Bauteile, Abstände der Bauteilunterseiten von der Leiterplattenoberfläche (falls relevant), Sperrflächen (falls relevant) sowie geeignete Regeln für den Kleberauftrag. Diese zusätzlichen Merkmale werden für jeden Bauteiltyp in der Anschlussflächen-Richtlinie berücksichtigt.

**Hinweis 1:** Die Maße für die Beschreibungen von Bauteilen wurden den Richtlinien aus Abschnitt 2 entnommen. Die Designer sollten sich direkt in den Datenblättern der Hersteller informieren, wenn sie spezielle Maße von Bauteilgehäusen benötigen.

**Achtung:** Der Anwender sollte sich dessen bewusst sein, dass individuelle Datenblätter nicht immer den standardisierten Bauteilabmessungen (z. B. JEDEC-Maße) entsprechen.

**Hinweis 2:** Die Elemente der Montagebedingungen, die in dieser Richtlinie definiert werden, insbesondere der Courtyard (minimale Montagefläche), beziehen sich auf den Reflow-Lötprozess. Anpassungen für Wellenlöten oder andere Lötprozesse müssen erforderlichenfalls vom Anwender durchgeführt werden. Anpassungen können auch erforderlich sein, wenn andere Lotlegierungen als eutektisches Zinn/Blei-Lot verwendet wird.

**Hinweis 3:** Diese Richtlinie stellt sicher, dass auch unter ungünstigsten Toleranzen eine zulässige Lötstelle erzielt wird.

**Hinweis 4:** Aspekte zur Verlustwärme wurden nicht in diese Richtlinie aufgenommen. Größere Massen können langsamere Prozesse erfordern, um einen Wärmetransport zu ermöglichen.

**Hinweis 5:** Bei oberflächenmontierten Bauteilen dienen die Lötstellen nicht nur der elektrischen Verbindung, sondern auch der mechanischen Befestigung. Schwerere Bauteile (höheres Gewicht je Anschlussfläche) erfordern größere Anschlussflächen. Zusätzliche Flächenanteile erhöhen die Fläche geschmolzenen Lots und damit die Fähigkeit, größeres Gewicht zu montieren. In einzelnen Fällen kann es möglich sein, dass die in dieser Richtlinie gezeigten Anschlussflächen für spezielle Anwendungen nicht geeignet sind und in der Anschlussflächen-Bibliothek vergrößert werden müssten. Dann könnten zusätzliche Maßnahmen erforderlich werden.

**1.2 Rangfolge der Dokumente** Diese Richtlinie legt die allgemeinen Designregeln fest, die die Erstellung von Anschlussflächen-Bildern für Bauteile der Oberflächenmontage beeinflussen. Sie wird unterstützt durch die Software „IPC-7351 Land Pattern Calculator“ (Shareware). Mit Hilfe einer grafischen Bedienoberfläche zeigt sie die Abmessungen individueller Bauteile sowie die, auf Bauteil-Familien beruhenden Empfehlungen für die entsprechenden